## **ELECTRONIC CONTROLLER**

Patent number:

JP6149626

**Publication date:** 

1994-05-31

Inventor:

SASAKI YOSHIHIRO

Applicant:

**FUJITSU TEN LTD** 

Classification:

- international:

G06F11/30; G06F11/00

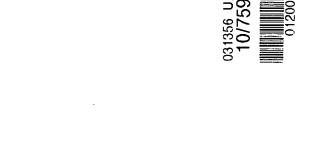
- european:

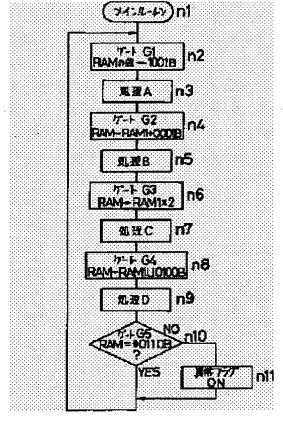
Application number: JP19920303927 19921113

Priority number(s):

## Abstract of JP6149626

PURPOSE:To improve the reliability of an electronic controller by checking the functions of a CPU used for the control device, an ALU used in the CPU and a register part. CONSTITUTION: Arithmetic processing is executed in each plural gate processing inserted into a main routine to be executed by the CPU and processing results are successively stored (n2, n4, n6, n8). In the final gate, the stored values are compared with an expected value (n10, n11) to check the validity of the CPU, the ALU and the register part.





THIS PAGE BLANK (USPTO)

(18)日本田松野十日(BI)

(IS) 会開特許公報(A)

特開平6-149626 (11)特許出國公開番号

妆拖玻 水馏炉

ᆵ

**广乙酰阻单** 

9290-5B 7313-6B

305

G06F 11/30 17/00

(51)hta.

(43)公開日 平成6年(1994)5月31日

華査領水 未額水 額水項の数1(全 8 頁)

平成4年(1992)11月13日 25506-1-1四份 (21)出版都号 日期(22)

71)出版人

兵庫県神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社 布女木 熱勁 (72)発明者

种户市兵庫区律所通1丁目2番28号 富士 国アン株式会社内

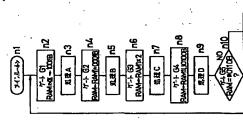
(74)代理人 弁理士 西数生一郎

[54] 【発明の名称】 電子飼御技匠

(57) (要約)

の中で使用されるALUおよびレジスタ部の機能をチェ [目的] 電子制御装置に用いられているCPUと、 ックし、個類性の向上を図る。

とにより、前配CPUをはじめALU、レジスタ部の機 **された値と、期待値とを比較する (n10, n11) こ** CPUが映行するメインルーチンに挿入され た複数のゲート処理にとに、メインゲーチンの処理手順 2, n 4, n 6, n 8)。 最終ゲートにおいて前記記録 に従って演算処理し、処理結果を順次配協させる(n 常の良否をチェックする。 



「請求項1】予め定めるプログラムに従って制御が行む 1.6年子制卸装置において、 特許語及の範囲

**処理の順序によって結果が異なる予め定める複数の演算** 5理を、プログラム実行中に処理が必ず行われる箇所に 七畝結果が不一致のとき異常状態であると判断する監視 処理手段の演算処理結果を予め定める期待値と比較し、 **帯入して、予め定める順序で実行する処理手段と、** 

[先明の詳細な説明] [000]

F段とを含むことを特徴とする電子制御装置。

「産業上の利用分野】本発明は、配子制御装配、特に自 3診断機能を有する低子制御装置に関する。

らに「1」が加算され、「3」となる。次のステップ田

7で処理Cが実行されると、ステップロ8でゲートG4

こよる処理で、RAMには「4」が記憶される。ステッ

プロ9で処理Dが実行された後ステップロ10で、判断

[0002]

**「るプログラム中に、当該プログラムを所定の順序とお** )、 即ち散促されたステップにしたがって東行したかど いかを確認するための処理プログラムを、低子制御装置 5手法が用いられる。このような所定のステップに対応 **(従来の技術】 たとえば、自動車にはマイクロコンピュ** - 夕を用いた電子制御装置が搭載され、燃料噴射制御な アのエンジン体統や、サムスンション監督などの走行を 成の影響を行わせており、電子影響装置への依存度が高 tっている。したがって、それぞれの低子制御被留の戦 作を監視し、確認することは、安全運転上、絶対に必要 下可欠であり、とりわけマイクロコンピュータを構成す **もCPUが、不遡の原因により暴走するようなことがあ** ってはならず、その場合には即時にこれを検出し、異常 /報知されなければならない。このため、CPUが実行 **女来の動作プログラムに付加し、 CP Uの動作を確認す** 、て挿入される動作チェックのための処理プログラム

ゲートGによる処理が設けられ、ゲートGのプログラム [0003] 図10は、プログラムとゲートの関係を示 トフローチャートである。一つのメインシーチンは、ق 型A, B, C, Dの4つの動作プログラムと、それぞれ **りのステップと考える。図10から明らかなように、た** ログラムを実行した後、次の処理Bのプログラムに進む らめには、その間に必ずゲート 02のステップを通過し なけたばならない。 即ち 1 しの処態が終むった次の処態 に移るために必ず通らなければならないステップ箇所に により当該ゲートを通過したことを表す処理結果が記憶 され、後段でゲート通過数がチェックされるようになっ **,一トG5の5回のゲートプログラムから成り、処理A ~Dのプログラムが所定回数機返されるものとする。そ** 、G1~G5は、いずれも枠内には当然に複数のステッ こ対応して設けられた4個のゲートの1, G2, G3, G4(統称するときはゲートGという)と、1個の判断 7を含むものであるが、ここでは便宜上、1つの枠を1 **れぞれに枠で囲んで示された4つの処理A~Dと、ゲー** とえば電子制御装置本来の動作の1つである処理Aの7

グラムが実行されると、ステップm6でRAMの値にさ ステップロ2でゲートG1の処理により、RAMの所定 のエリアに「1」が徼き込まれ、ゲートG1を通過した ことが記憶される。ゲートG1を通過するとステップロ 3に進み、処理Aのブログラムが実行される。次いでス テップロ4に逝みゲートG 2 によって前配R A Mの値に しひ3によって行われる。これによってゲートG2を通 「1」が加算され、「2」が配復される。加算は前記A 過したことが記憶される。ステップロ5で処理Bのプロ [0004] ステップロ1 たメインルーチンに入ると、

る。このようにして、ゲートGでの処理によって常に既 子制御装置の動作が所定のステップを通過したかどうか されてステップm2へ戻り、「4」でなければ所定のグ **-ト数ではないため異常と判断されてステップロ11~** 「4」になっているかどうかがチェックされる。「4」 であれば4個のゲートG1~G4を通過して正常と判断 移って異常フラグが0Nされた後にステップm2へ戻 ゲートG5により前配RAMの値が、所定値である

が脂肪される。 [0005]

ト通過ごとに 1を加えて記憶するといった単純な処理に うかについての判断できない。 たとえばなんらかの原因 ?、ミスステップして、処理A→C→D→Bと進んだ協 合でも、RAMには「4」が配位されるので、正常と判 1、 レジスタ部などのチェックは行われていない。この こめ電子制御装置内のCP Uの動作をチェックする上で 先行技術による電子制御装置でのチェック動作は、ゲー 過ぎず、このため風序とおりにステップを通過したかど 【発明が解決しようとする課題】しかしながら、上述の 所されてしまう。また先行技術ではCPU内部のAL 調整がある。

を、一般にゲートと称する。

されたものであって、電子制御装置の動作が正しい順序 で行われているかどうかをチェックすることができ、さ [0006] 本発明の目的は、前述の問題点に鑑みてな らに演算処理のチェックもあわせて行えるようにするこ とである。

て、処理の順序によって結果が異なる予め定める複数の 資質処理を、プログラム実行中に処理が必ず行われる箇 比較結果が不一致のとき異常状態であると判断する監視 【関題を解決するための手段】本発明は、予め定めるプ **新に挿入して、予め定める順序で実行する処理手段と、** 処理手段の演算処理結果を予め定める期待値と比較し、 ログラムに従って即倒が行われる鬼子街踏弦配におい [0007]

手段とを含むことを特徴とする電子制御装置である。

. 3

序または演算処理が正しく行われていないので、異常が する。比較結果が不一致のときは、プログラムの実行隊 せ、その演算結果と期符値とを、監視手段によって比較 とき異常状態であると判断する監視手段とを含む。処理 結果を予め定める期待値と比較し、 比較結果が不一致の 定める順序で実行する処理手段と、処理手段の演算処理 ラム実行中に処理が必ず行われる箇所に挿入して、予め って結果が異なる予め定める複数の演算処理を、プロク 手段は処理の順序によって結果が異なる演算処理を行わ 【作用】本発明による電子制御装置は、処理の順序によ

【実施例】図1は、本発明の一実施例による電子制御装

タ1は、CPU2、ROM, RAMなどのメモリ部7、 を出力し、メータ指示やランプ点灯などの警告動作を行 グラムに従って実行される。 プログラムの過程で異常と して前記入/出力インターフェース9,10にそれぞれ 置の構成を示すプロック図である。 マイクロコンビュー チュエータ13によるフィードバック慰御が所定のプロ スラインL1が配扱され、センサ12-CPU2-アク 接続されている。 CPU 2 と前記各プロック間には、バ アクチュエータ13が、ワイヤハーネスL2,L3を介 ンジンなどの制御対象に配置された複数のセンサ12と 警告ランプやメータなどの表示部11から構成され、エ インターフェース9、出力インターフェース10および Ⅰ/○ポート8など、集積化された各ブロックと、入力 判断されると、CPU2は表示部11に対してアラーム

部4、RAM5、例御部6などから構成される。算術質 定のメモリセルに記憶される。レジスタ部4には、アキ れされ、 液算結果はRAM5あるいはレジスタ部4の所 ュムレータやフラグフリップフロップなどにより構成さ 理演算部(以下、ALUという) 3 は、図示しないアキ リセルを呼び出すX、Yレジスタが含まれる。 ユムレータAcや、X, Y番地を指定して対応するメモ 算を行う。 演算過程でのデータはレジスタ部4に出し入 れ、2進数による算術演算とAND,ORなどの論理説 【0010】CPU2は、鮮総矯風演算部3、レジス々

処理プログラムとを含む。本実施例では、処理手段であ ら成る4つのプログラムと、その間に挿入された4つの る。メインルーチンは、たとえば処理A, B, C, Dか 5により比較し、比較結果が不一致のとき異常と判断す め定められた期待値とを、監視手段である判断ゲートG 理プログラムによる演算処理を行い、その演算結果と予 る複数のゲートロ1~4ごとに予め設定されたゲート処 Gという)と、1つの判断ゲートG5の計5つのゲート ゲートG1, G2, G3, G4 (総称するときはゲート エックする動作を説明するためのフローチャートであ 【0011】 図2は、図1に示す実施例のCPU2をチ

るのである。演算には前記ALU3とレジスタ部4が用

い所定のメモリエリアに書き込まれ、ゲートG1を通過 り、ステップロ2でケート1による処理が行われ、予め 加算される算術演算が予め設定されており、RAM5の RAM5のメモリエリアの値 (1001B) に「1」が 進んでゲートG2による処理が行われる。ここでは前記 ログラムに基づく動作が実行されると、ステップロ4に す)」がRAM5のうちでメインルーチンには使用しな 定められたコード「1001B (Bは2進表記を示 する。ステップn1でメインルーチンの実行手順に入 【0012】図1のブロック図をあわせて参照して説明 メモリエリアの値は「1010B」に更新される。これ したことが記憶される。次のステップn3で処理Aのフ によりゲートG2を通過したことが記憶される。

実行されると、ステップロ8に進んでゲートG3による 行されると、ステップロ8に進んでゲートG4による処 憶される。次のステップn7で処理Cのプログラムが実 更新される。これによりゲートG3を通過したことが記 おり、RAM5のメモリエリアの値は「0100B」に 処理が行われる。ここではRAM5のメモリエリアの値 とる論理演算が設定されており、RAM5のメモリエリ 理が行われる。ここでは予め定められた値0010B る。なお、異常フラグとしては、RAM5の中の特定の る。不一致の場合には、メインルーチンが正しい順序で は、RAM5のメモリエリアには期待値と同一の「01 で、処理Dのプログラムが実行されたると、ステップロ アの値は「0110B」に更新される。これによりゲー と、RAM5のメモリエリアの値0100BとでORを 【0013】次のステップロ5で処理Bのプログラムが メモリセルを使用する。 へ移って異常フラグがONされた後、ステップn2へ戻 実行されなかった異常状態と判断され、ステップn11 のメモリエリアの値とが一致すればステップn2へ戻 10B」が記憶されている筈であり、期待値とRAME れまで述くたように、 ステップを順序とおりに通過すれ 10に進み、当暦ゲートの5による処理が行われる。こ トG4を通過したことが記憶される。次のステップn9 (1010B)が2倍される算術演算が予め設定されて

期待値とは一致せず、ただちに異常が発見されるのであ 技術のように、単に1を加算して判断する方法とは異な めて期待値を設定し、一方ステップが進行して最終ゲー りに実行されたかどうかを的確にチェックでき、プロク る。これによりプログラムが所定のステップで順序とお り、正常か異常かを判断するのである。したがって先行 ラムの最近などを選やがご複句することができる。 トロ5万、係られた値を河西既存値と兄家するとによ 【0014】このように本実施例では、ゲートG1~4 **ごとに、定数と、算術演算と、論理演算の順序を予めた** 一つでもプログラムの実行順序が異なれば、絶対に

> が用いられる。ゲートG1の通過が1回目であれば、ス ラムが進行し、ステップp1でゲートG1に入ると、制 目であるステップp7ではRの値とたとえば定数「10 いても同様である。通過回数に対応してステップp3 回目であればステップ p 7 に進む。それ以上の回数につ テップp3に進み、2回目であればステップp5に、 する。通過回数の判断にはたとえば図示しないカウンタ 御部6は今回のゲートG1通過が何回目であるかを判断 ラムが含まれるメインルーチンを想定している。 プロク る。ここではゲートGを繰り返し何回か通過するプログ る。図3と図4は、その動作を示すフローチャートであ 機能が正常かどろかを判断するチェック機能を備えてい する演算手順とその結果に基づいて更新されたRの値 01B」とのANDがとられる。このように回数に対応 目であるステップp5では、Rの値が2倍される。3回 とえば1回目であるステップp3では、RAM5内に予 p5,p7,…での演算手順が予め定められており、た 【0015】本実施例では、前記演算を行うALU3の (1, 2, 3, …) が記憶され、ステップp8で次のプ め定められたエリアRの値に「1」が加算される。2回

Nと比較される。これを図4で説明する。前述したよう 回目であればステップQ4からステップQ5に、3回目 5に入ると、ステップ q 2で制御部6はゲートG5の通 タなどにより記憶されている。ステップq1でゲートG に、ゲートG1~4を通過するごとに、RAM5のRの 1, 2, 3, …に対応する最終の演算結果である値R 演算結果であり、これと期待値N1, N2, N3, …と でRAM5のRの値(1, 2, 3, ...) は、ALU3の ステップ q 8に移って異常フラグがONされる。その他 N1, N2, N3, …とを比較する。両者が一致すれば 5, q7, …で制御部6は、前記した値Rと前記期待値 2, N3, …が予め設定されており、ステップq3, q む。ゲートG5の通過回数に対応する期待値N1, N であればステップQ 6 からステップQ 7 にそれぞれ進 通回数を調べ、1回目であればステップq3に進み、2 値が更新され、またゲートG1~4の通過回数がカウン 1, R2, R3, …女、次に迫くるゲートロ5で規令値 ックされ、異常フラグがONされれば、ALU3に異常 の回数に対応するステップについても同様である。ここ ステップ49で次のプログラムに進む。不一致であれば U2を構成するALU3の機能の良否もチェックするこ は、CPU2のステップ動作の良否だけではなく、CP が生じていることが検知される。このように本実施例で を比較することによって、ALU3の機能の良否がチェ

れるXおよびYレジスタが含まれる。CPU2には、レ する機能を備えている。レジスタ部4には、図5に示さ 【0016】本実施例は、またレジスタ部4をチェック

> られている。Xを1, 2, 3, 4と順次変化させ、Yは M (1, 1) が呼び出される。したがってXを前記のよ 0001B, 0010B, 0100B, 1000BOL ジスタX,Yを用いてメモリをアクセスする命令が備; る。たとえばX=1,Y=0001Bならばメモリセル セルを特定できる。 ば、4つのゲートG1~4を通過する際に異なるメモリ うに変化させ、Yのどれかの桁を1にして番地指定すれ 地指定すれば、対応するメモリセルM(1, 1), M うに 4 ピットのうちのどわかや「1」としたコードに始 (2, 2), M(3, 4), M(4, 8) が選択され

いて説明する。図6~図9は、その動作を説明するため のフローチャートであり、図6はゲートG1を、図7は 際の動作を示している。メモリセルはチェック動作開始 ゲートG2を、図8はゲートG3を、それぞれ通過する の際には0にクリアされる。 【0017】次にレジスタ部4をチェックする動作につ

Y)に内容が転送される。転送が終われば、ステップr Oにクリアされ、ステップr3でアキュムレータAcに 行する。動作が正常なら、メモリセルM(1, 1)には r 6で前記アキュムレータ A cからメモリセルM(X, Yレシスタに対してX=1, Y=1を設定し、ステップ 1に入り、ステップr2でアキュムレータAcの内容が 1が加えられる。次いでステップr4, r5で前記X, 7でゲードG1から処理Aなどの次のステップ動作に移 【0018】図6を参照して、ステップr1でゲートG 「1」が記憶されている。

ログラム、たとえば処理Aに進む。以下、ゲートG2,

G3, …, ごとに同様手順の演算が行われ、通過回数

る。動作が圧結なら、メモリセルM (2, 2) には ルに内容が転送される。転送が終わればステップァイで アキュムレータAcに1が加えられる。 次いでステップ =1, Y=1と数定され、ステップ84でX, Y番塩の でアキュムレータAcからX,Yで指定されるメモリセ 86, 87でX=2, Y=2と設定され、ステップ 8 内容がアキュムレータAcに転送され、ステップ85で プョ1でゲートG2に入ると、ステップs2, s3でX ゲートG1から処理Bなどの次のステップ製作で移行す 【0019】図7はゲートG2での動作を示す。ステッ

容が転送される。転送が終わればステップ t 8 でゲート される番地の内容がアキュムレータAcに転送される。 は、前述までの動作と同様であって、ここでは動作が正 されている。なお次のゲートG4を通過する際の動作 G3から処理Cなどの次のステップ製作に移行する。 慰 ステップ t 8 でアキュムレータ A cからメモリセルに内 次のステップt 6, t 7でX=3, Y=4と設定され =2, Y=2と設定され、ステップt4でX, Yで指定 プt1でゲートG3に入ると、ステップt2, t3でX 作が正常ならメモリセルM(3,4)には「3」が問題 ステップ t 5 でアキュムレータ A c に 1 が加えられる。 【0020】図8はゲートG3での動作を示す。ステッ 「2」が記憶されている。 3

特開平06-149626

\$なな、メモリセルM(4,8)に「4」が記憶されて ゲートG4を通過するのであり、そこにいたるまでの動 作説明は省略する。

ップu8 A 次のメインラーナンへの移行などの場合には がONされた後にステップ8に通む。これによって、ゲ ートを通過する際のX, Yレジスタによる番地指定機能 【0021】本実施例では、このように1のゲートを通 **負する際に、当該ゲートに対応するメモリセルにアキュ** ムレータ A c の値を記憶させ、ゲート通過ごとに 1 を加 に「4」が配稿されていたば、レジスタ部4の配作には 異常がないことが確認されるのである。 図9 はその動作 やボナフローチャートである。 哲述のゲートG1~G4 からそれに続く処理Dのプログラムが実行され、ステッ プロ1でゲートG5に入ると、ステップロ2で慰御即6 は、メモリセルM (4,8)の内容を詰出し、「4」か どうかを聞くる。4 であれば正常と判断され、ステッフ u3~u6で前記メモリセルはすべてクリアされ、ステ いることになる。 ただしステップ u 2 で 4 でない場合に は、異常と判断されてステップu7に移り、異常フラグ **算して内容を更新させるようにしている。したがって、** 最終ゲートG4を通過した際にメモリセルM(4,8) のチェックが行われる。

成するCPUおよびCPUの動作に不可欠なALUお め、ゲート通過に磨してこれら3つのチェックを適宜組 よびレジスタ部のチェックが、簡単な処理を付加するだ けで圧強に行うことができ、电子制御装置に依存するシ 【0022】哲述の既明では、メインルーチンを4つの から成り、またゲートを複数回通過する場合を想定した けれども、本免明はこれに限定されるものではない。ま レジスタ節の3つのチェック整作に分けて説明したけれ み合わせ、あるいは同時に行うようにしてもよい。いず トバとに少数の処理しか行わないので所要時間は値から のである。このように本発明によれば、電子制御装置を 処理プログラムと 4つのゲート および 1つの判断ゲート れの場合もチェックのために必要なプログラムは各ゲー あり、電子街御装置の本来の動作には影響を与えないも た本発明の要旨をCPUのステップ動作と、ALUと、 ども、これらをゲートごとに共通のプログラムにまと ステムの宿頼性をさらに向上させることができる。

う処理手段と、処理手段の資算処理結果を予め定める期 置は、予め定める複数の徴算処理を予め定める順序で行 **浄値と比較し、比較結果が不一致のとき異常状態である** [発明の効果] 以上のように、本発明による配子制御被

が異なる演算処理を行わせ、その演算結果と期待値とを 比較し、比較結果が不一致のとき異常と判断するように 8、電子制御装置に依存するシステムの信頼性をさらに と判断する監視手段とを設け、処理の順序によって結果 したので、鬼子制御被留を構成するCPUおよびCPU の動作に不可欠なALUおよびレジスタ部などのチェッ **7. 校、簡単な処理を付加するだけで圧確に行うことがた 11上させることができ、効果大なるものである。** 【図面の簡単な説明】

【図1】本発明の一実施例による電子制御装置の構成を ドナブロック図である。 【図2】図1に示す実施例のCPUのステップ動作をチ ェックする動作を説明するためのフローチャートであ 【図3】図1に示す演算部の機能をチェックする動作を

示すフローチャートである。

【図4】図1に示す実施例の演算部の機能をチェックす

【図5】図1に示す実施例のレジスタ毎に含まれるX, 5 判断ゲートの動作を示すフローチャートである。

【図6】図1に示す実施例のレジスタ部の機能をチェッ レシスタの機能を示す図である。

|図7 | 図1に示す実施例のレジスタ部の機能をチェッ >するための動作を示すフローチャートである。

【図8】図1に示す実施例のレジスタ部の機能をチェッ >するための躯作を示すフローチャートである。

【図9】図1に示す実施例のレジスタ部の機能をチェッ するための動作を示すフローチャートである。 ・するための製作を示すプロック図である。 【図10】先行技術による亀子側御装置のCPUの動作 ジチェックするための動作を示すフローチャートであ

(作号の説明)

軸子步超激陶

CPU

**事術為理演算部** 

ハンスを即 RAM Ac アキュムレータ

G1~G4 がート

(0023)

M(1, 1), M(2, 2), M(3, 4), M(4, 対断ゲート メモリセル NEXT

